

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-069232

(43)Date of publication of application : 11.03.1994

(51)Int.Cl.

H01L 21/336

H01L 29/784

(21)Application number : 04-216845

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 14.08.1992

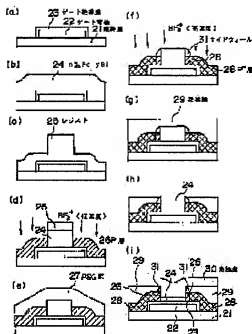
(72)Inventor : ASAKAWA KAZUHIKO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract

PURPOSE: To prevent a large variation of transistor characteristics as caused by pattern misregistration in a photolithography step, and to eliminate the photolithography step to realize a thin-film device.

CONSTITUTION: In the case of a PMOS transistor, side walls 31 are formed on a polysilicon layer 24 for the channel layer, and etching is performed in a self-aligned manner to thin a P+ layer 28 and a P- layer 26 in source and drain regions and a channel layer 24.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-69232

(43)公開日 平成6年(1994)3月11日

(51)Int.Cl.⁵

識別記号

片内整理番号

F I

技術表示箇所

H 0 1 L 21/396

29/784

9056-4M

H 0 1 L 29/78

3 1 1 P

審査請求 未請求 請求項の数2 (全 5 頁)

(21)出願番号 特願平4-216845

(22)出願日 平成4年(1992)8月14日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 浅川 和彦

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

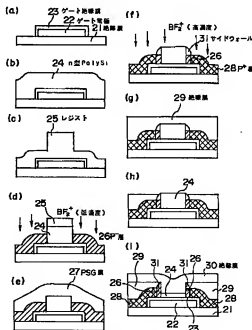
(74)代理人 弁理士 鈴木 敏明

(54)【発明の名称】 半導体素子の製造方法

(57)【要約】

【目的】 本発明は、半導体素子における薄膜MOS型トランジスタの製造方法に関するもので、ホトリソグラフィ工程のパターンの合わせずれにより、トランジスタ特性のばらつきが大きくなることを除去することを目的とするものである。即ち、薄膜化のためにはホトリソグラフィ工程を行わないようにしたものである。

【構成】 PMOS型の場合、ソース、ドレイン領域のP⁺層28、P⁺層26およびチャネル層24を薄膜化する際、チャネル層となるポリシリコン層24にサイドウォール31を形成して、セルフアラインでエッチングするようにしたものである。



本発明の第1の実施例

1

【特許請求の範囲】

【請求項1】 半導体基板上にMOS型トランジスタを形成する方法として、

(a) 半導体基板上に第1の絶縁膜を形成し、その上にゲート電極、ゲート絶縁膜を形成した後、全面に第1の導電層を形成し、該第1の導電層に不純物を導入する工程、

(b) 前記第1の導電層のソース、ドレインとなる部分を選択的に所定の膜厚まで薄くし、該ソース、ドレイン領域に不純物を導入して第2の導電層とする工程、

(c) 前記工程で残っている前記第1の導電層の側壁に絶縁材でサイドウォールを形成する工程、

(d) 前記サイドウォールをマスクにして、不純物を導入して前記第2の導電層を第3の導電層とした後、全面に第2の絶縁膜を形成する工程、

(e) 前記第2の絶縁膜を、前記第1の導電層上部が露出するまで削除した後、該第1の導電層をチャネル領域として必要な膜厚まで薄くする工程、

以上の工程を含むことを特徴とする半導体素子の製造方法。

【請求項2】 半導体基板上にMOS型トランジスタを形成する方法として、請求項1記載の(a)から(c)までの工程を行ったあと、

(d) 前記サイドウォールをマスクにして不純物を導入して熱処理を行い活性化、拡散を行い、前記第1の導電層の側壁側に拡散するよう第3の導電層を形成する工程、

(e) 前記工程で残った前記第2の導電層に前記サイドウォールをマスクにして不純物を導入して熱処理し第4の導電層にした後、全面に第2の絶縁膜を形成する工程、

(f) 前記第2の絶縁膜を、前記第1の導電層上部が露出するまで削除した後、該第1の導電層をチャネル領域として必要な膜厚まで薄くする工程、

以上の工程を含むことを特徴とする半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体素子におけるMOS型の薄型トランジスタの製造方法に関するものである。

【0002】

【従来の技術】 図3は従来のLDD (Lightly Doped Drain) 構造のMOS型薄膜トランジスタの構造および形成方法を示したものである。なお、本例はPMOS型の場合を示す半導体基板 (図は略してある) 上に形成した絶縁膜11上に、不純物を添加したPolysil (ポリシリコン) もしくはスパッタ法によるAl系金属によりゲート電極12を生成し、次に常圧CVD (化学的気相成長) 法もしくは熱酸化法を用いて

2

ゲート絶縁膜13を生成する (図3 (a))。

【0003】 次に、その上にPolysil膜14を生成した後、チャネル層を形成するため、PMOS型の場合n型不純物のイオン注入を行う (図3 (b))。

【0004】 次に、既知のホトリソ (ホトリソグラフィ) 技術を用い、レジストパターン15をマスクにして選択的に低濃度でB⁺イオン注入を行い、ソース、ドレイン領域のP⁺層16を形成する (図3 (c))。

【0005】 その後、既知のホトリソ技術を用い、レジストパターン17をマスクにして、選択的に高濃度でB⁺イオン注入を行い、ソース、ドレイン領域のP⁺層18を形成する (図3 (d))。

【0006】 次に、既知のホトリソ、エッチング技術によりレジストパターン19をマスクにして、チャネル部のPolysil層14をチャネル層の希望の膜厚になるまでエッチングを行い、薄膜化する (図3 (e))。薄膜化する目的は薄膜トランジスタのOFF時に流れる電流を低下させるためである。

【0007】 次にCVD法を用いて絶縁膜20を生成し (図3 (f))、その後、図示しないが、コンタクト、配線層を形成する。

【0008】

【発明が解決しようとする課題】 しかしながら、以上述べたLDD構造の薄膜トランジスタの形成方法では、例えばPMOS型の場合、ソース、ドレイン領域のP⁺層、P⁺層形成でのB⁺イオン注入のマスクとして用いるレジスト材のパターニング工程、およびチャネル部のPolysilを薄膜化するエッチング工程において、パターンの合わせずれが生じやすいので、安定したTr (トランジスタ) 特性が得られにくく、また、チャネル層の膜厚でPolysilを堆積した場合、配線抵抗が高くなるという問題点があった。

【0009】 この発明は以上述べたホトリソ工程のパターン合わせずれによる薄膜トランジスタの特性のばらつきが大きくなる問題を除去するため、ホトリソ工程を削減し、セルフアライン (self align) でソース、ドレイン領域 (P⁺層、P⁺層) およびチャネル層の薄膜層を形成し、安定したトランジスタ特性が得られる薄膜トランジスタの形成方法を提供することを目的とする。

【0010】

【課題を解決するための手段】 本発明は前記目的のため、薄膜トランジスタの形成方法において、例えばPMOS型の場合、ソース、ドレイン領域のP⁺層、P⁺層、チャネル層および配線として生成したPolysil膜を、希望の箇所のみエッチング技術を用いて薄膜化する事により、P⁺層、P⁺層およびチャネル領域の薄膜層をセルフアラインで形成するようにしたものである。

【0011】

3

【作用】前述したように本発明は、ゲート電極、ゲート絶縁膜形成後に生成されるPolysil膜を、ソース、ドレイン領域のP⁺層以外の箇所を既知のホトリソ、エッチング技術を用いて薄膜化するようにしたので、以後の工程においてホトリソ工程の必要がなく、セルフアラインでソース、ドレイン領域のP⁺層形成、チャネル層のみの薄膜化が可能となり、LDD構造の薄膜Trの特性のばらつきが減少が実現できる。

【0012】

【実施例】図1はこの発明の第1の実施例を示す製造工程（フロー）図である。本実施例も従来の説明と同様にPMOS型を例とする。半導体基板（図示省略）上に形成した絶縁膜21上に、不純物を添加したPolysil膜もしくはスパッタを用いたA1膜により、ゲート電極22を生成し、次に常圧CVD法もしくは熱酸化法を用いてゲート絶縁膜23を生成する（図1（a））。

【0013】次に、その上にPolysil膜24を堆積し、その後、チャネル層を形成するため、n型不純物のイオン注入を行い、Polysil膜24をn型とする（図1（b））。ここまでは、従来同様である。

【0014】次に、既知のホトリソ、エッチング技術を用いてレジスト25のパターンにて、ソース、ドレイン領域のP⁺層を形成する以外の箇所は、所望の配線層膜厚になるまでPolysil24のエッチングを行う（図1（c））。そして、ソース、ドレイン領域のP⁺層を形成するために、低濃度でB⁺イオン注入を行う（図1（d））。

【0015】次に、例えばCVD法により絶縁膜であるPSG膜27を生成し（図1（e））、その後膜厚の厚いPolysil部24の側壁にPSG膜27がサイドウォール31として残るよう等方性エッチングを行う。

【0016】次に、ソース、ドレイン領域のP⁺層28を形成するために、高濃度でB⁺イオン注入を行う。この時、側壁に残されたサイドウォールのPSG膜31がマスクの役目を持つため、P型不純物B（ボロン）の濃度の異なるP⁺層28、P⁻層26が形成される（図1（f））。

【0017】次に、その上にCVD法により絶縁膜29を生成し（図1（g））、その後、Polysil24に対して選択比が高い絶縁膜エッチング技術を用いてエッチバックを行い、Polysil層24が絶縁膜29によって埋められない様にする（Polysil層24上面を露出させる）（図1（h））。

【0018】次に、絶縁膜29に対して選択比が高いPolysilエッチング技術を用いて、その絶縁膜29をマスクにして、所望のチャネル層（24）の膜厚になるまで、Polysil24のエッチングを行い、その後、CVD法により、絶縁膜30の生成を行って、平滑化し（図1（i））、次に図示しないが、コンタクト、配線層を形成する。

4

【0019】図2はこの発明の第2の実施例を示すフロー図である。第1の実施例同様、PMOS型を例とする。半導体基板（図示省略）上に形成した絶縁膜11上に不純物を添加したPolysil膜もしくはスパッタを用いたA1膜によりゲート電極42を生成し、次にCVD法もしくは熱酸化法を用いてゲート絶縁膜43を生成する（図2（a））。

【0020】次に、Polysil膜44を堆積し、その後チャネル層を形成するためn型不純物のイオン注入を行い、n型Polysil44にする（図2（b））。

【0021】次に、既知のホトリソ、エッチング技術を用いてレジスト45のパターンで、ソース、ドレイン領域のP⁺層を形成する以外の箇所は所望の配線層の膜厚になる様、Polysil24のエッチングを行う（図2（c））。この時、エッチングは異方性の方式を用いる。そして、ソース、ドレイン領域に低濃度でB⁺イオン注入を行ってP⁺層44aとする（図2（d））。

【0022】次に、例えばCVD法によりPSG膜（絶縁膜）46を生成し（図2（e））、その後、膜厚の厚いPolysil部の側壁にPSG膜46がサイドウォールとして残るよう等方性エッチングを行う（図2（f））。ここまでは、第1の実施例と同様である。

【0023】その後、ソース、ドレイン領域のP⁺層47を形成するため、低濃度でB⁺イオン注入を行い、注入後、注込まれたイオンの活性化および拡散させるためアニールを行う。つまり、前記n型Polysil層44a側にP⁺層47を拡散形成する。

【0024】次に、ソース、ドレイン領域のP⁺層48を形成するために高濃度でB⁺イオン注入を行う。この時、側壁に残されたPSG膜46がマスクの役目を持つため、P型不純物B（ボロン）の濃度の異なるP⁺層48、P⁻層47が形成される。次にP⁺層形成のため注入されたイオンの活性化および拡散のためアニールを行う。

【0025】次に、CVD法により絶縁膜49を生成し、その後、Polysil層44に対して選択比が高い絶縁膜エッチング技術を用いてエッチバックを行い、Polysil層（44）が絶縁膜49によって埋められない様にする（図2（g））。

【0026】次に、絶縁膜49に対して選択比が高い絶縁膜エッチング技術を用いて、所望のチャネル層膜厚44になるまで、Polysilのエッチングを行い、その後CVD法により絶縁膜50の生成を行って平滑化し（図2（h））、次に図示しないが、コンタクト、配線層を形成する。

【0027】以上説明した実施例はPMOS型の場合を例示したが、無論、n型、P層などの形成をそれと逆にすればNMOS型に適用できることは説明するまでもないであろう。

【0028】

50

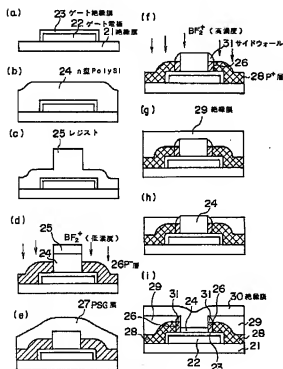
5

【発明の効果】以上説明したようにこの発明の製造方法では、ゲート電極、ゲート絶縁膜形成後に生成されるP_olySi膜をソース、ドレイン領域のP⁺層以外の箇所を既知のホトリソ、エッチング技術を用いて薄膜化するようにしたので、以後の工程においてホトリソ工程の必要なくセルフアラインでソース、ドレイン領域のP⁺層形成、チャネル層のみの薄膜化が可能となり、したがって、LDD構造の薄膜T_rの特性のばらつきが減少が期待出来る。

【図面の簡単な説明】

【図1】本発明の第1の実施例

【図1】



本発明の第1の実施例

6

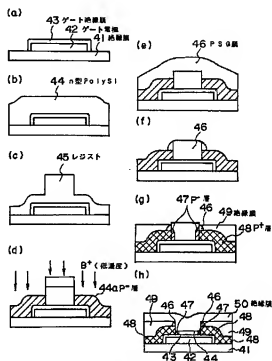
【図2】本発明の第2の実施例

【図3】従来例

【符号の説明】

- 21、27、29、30 絶縁膜
22 ゲート電極
23 ゲート絶縁膜
24 n型P_olySi
25 レジスト
26 P⁺層
28 P⁺層
31 PSG膜

【図2】



本発明の第2の実施例

【図3】

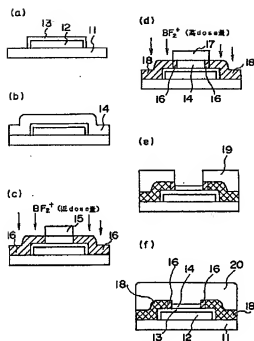


図 3